

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R) File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011781962 **Image available**

WPI Acc No: 1998-198872/199818

XRPX Acc No: N98-157926

**Substrate manufacturing method employing sand blast technique for
electron source in image display unit - involves performing sand blasting
using cut mask layer of required pattern for forming insulating layer,
electrode elements and upper electrode**

Patent Assignee: DAINIPPON PRINTING CO LTD (NIPQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10050209	A	19980220	JP 96221891	A	19960806	199818 B

Priority Applications (No Type Date): JP 96221891 A 19960806

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10050209	A		6 H01J-009/02	

Abstract (Basic): JP 10050209 A

The method involves forming a lower electrode (11) of predetermined thickness on a substrate (10). An insulating layer formation material (12a) is formed onto the substrate. A cut mask layer (18) of required pattern is laid on the insulating layer formation material and sand blasting is performed. Thus, the lower electrode is exposed and insulating layer (12) is formed.

Then, an electrode formation material is coated on the insulating layer and sand blasting is again performed using the cut mask layer and electrode elements (16,17) are formed on the insulating layer.

Similarly, an upper electrode (13) is formed on the electrode elements.

ADVANTAGE - Enables manufacture of substrate with accurate shape.

Simplifies and stabilizes manufacturing process.

Dwg.1/3

Title Terms: SUBSTRATE; MANUFACTURE; METHOD; EMPLOY; SAND; BLAST; TECHNIQUE
; ELECTRON; SOURCE; IMAGE; DISPLAY; UNIT; PERFORMANCE; SAND; BLAST; CUT;
MASK; LAYER; REQUIRE; PATTERN; FORMING; INSULATE; LAYER; ELECTRODE;
ELEMENT; UPPER; ELECTRODE

Index Terms/Additional Words: AU; THIN; FILM; ITO; THIN; FILM; CARBON; THIN
; FILM

Derwent Class: V05

International Patent Class (Main): H01J-009/02

International Patent Class (Additional): H01J-009/36

File Segment: EPI

Manual Codes (EPI/S-X): V05-L01A3; V05-L05D1

THIS PAGE BLANK (USPTO)

特開平10-50209

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 J	9/02		H 0 1 J	9/02
	9/36			9/36
				B
				A

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21) 出願番号 特願平8-221891

(22) 出願日 平成8年(1996) 8月6日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 細谷 守男

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

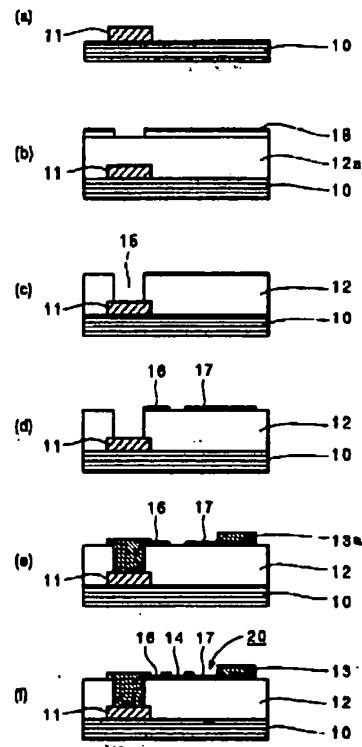
(74) 代理人 弁理士 小西 淳美

(54) 【発明の名称】 電子放出素子用基板の製造方法

(57) 【要約】

【課題】 画像表示に使用される電子放出素子用基板の製造工程を改善する。

【解決手段】 表面伝導型電子放出素子用基板の下部電極と上部電極の層間絶縁層のパターン形成および絶縁層上の素子電極をパターン形成する際に、サンドブラスト用切削マスクを介してサンドブラスト処理を行うことにより、層間絶縁層および素子電極のパターニングを精度よくかつ簡略に製造することができる。



【特許請求の範囲】

【請求項1】 表面伝導型電子放出素子基板の下部電極と上部電極との層間絶縁層を形成する際に、下部電極が形成された基板上に絶縁層形成材料を所定膜厚に塗布した後、所望パターンに対応したサンドブラスト用切削マスクを介して当該絶縁層形成材料のサンドブラスト処理を行うことを特徴とする電子放出素子用基板の製造方法。

【請求項2】 表面伝導型電子放出素子基板の素子電極を形成する際に、層間絶縁層上に電極形成材料を所定膜厚に塗布した後、所望パターンに対応したサンドブラスト用切削マスクを介して当該電極形成材料のサンドブラスト処理を行うことを特徴とする電子放出素子用基板の製造方法。

【請求項3】 サンドブラスト用切削マスクがドライフィルムレジストにより形成されたものであることを特徴とする請求項1または請求項2記載の電子放出素子用基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子技術を用いた画像表示のための電子放出素子用基板の製造方法に関し、特に、サンドブラスト法を用いた基板の製造方法に関する。

【0002】

【従来の技術】近年、表面伝導型の電子放出素子が注目を浴びている。これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生じる現象を利用した電子放出素子である。このような電子放出現象は、1965年に「ラジオエンジニアリングエレクトロフィジックス (Radio Eng. Electron. Phys.) 第10巻、1290～1296頁」に、エム・アイ・エリンソン (M. I. Elinson) らによって報告されて以来、今日に至るまで種々の報告がなされている。具体的には、エリンソンらによって開発された SnO_2 (Sb) 薄膜をはじめ、 Au 薄膜、 ITO 薄膜、カーボン薄膜などで、この表面伝導型の電子放出現象が報告されている。

【0003】また、最近では、表面伝導型電子放出素子を基板上にマトリックス状に配列して、テレビジョン画像等を表示することが研究されている。これらの技術は、基板上に列方向をなす下部電極と絶縁層を介して、下部電極と直交する行方向をなす上部電極を形成し、これらの交点近くに下部電極と上部電極を対向させて素子電極を形成し、素子電極上に通電により電子放出を行う機能を有する電子放出物質を塗布してフォーミングを行うことにより電子放出素子を形成しようとするものである。

【0004】

【発明が解決しようとする課題】しかし、このような電子放出素子を用いたマトリックス基板は、複雑な3次元

構造を有するものであると共に、画像表示を行うためには、多数の電子放出素子が基板上に極めて精度よく均一に形成されていることが求められる。従って、各種の薄膜形成技術やフォトリソグラフィ技術を用いるにしても大面積化が難しく製造してもコストと時間がかかること。また、安定的に製品を製造することが極めて困難となる等の問題がある。

【0005】表面伝導型電子放出素子を基板上に形成し、画像表示用のマトリックス基板を形成する例としては、図3のような形態のものが検討されている。図3は、電子放出素子を用いたマトリックス基板の部分を示す図である。図3(a)はその平面図である。図3では、縦横に3本の電極しか図示されていないが、表面伝導型電子放出素子200は、基板上に下部電極110および上部電極130が、縦横にマトリックス状に配列され素子電極160、170の対向する部分140には電子放出部を含む薄膜が形成されている。図3(b)は、図3(a)のa-a'線における拡大断面を示す図である。下部電極110は基板100の上に形成され、下部電極上には上部電極と隔てるための層間絶縁層120が形成されている。下部電極は絶縁層に形成されたコンタクトホール150を通じて素子電極160に導かれて接続され、上部電極の素子電極170と対向する部分には電子放出を行う薄膜の電子放出膜140が形成されている。

【0006】従来、このような表面伝導型電子放出素子基板を製造するには、次のような工程を経るのが一般的である。図2は、従来の表面伝導型電子放出素子基板の製造工程を示す図である。清浄化したガラス基板10上に、真空蒸着法により下部電極11となる薄膜のCr、Auを順次堆積積層する。次に、当該Cr、Au層上に、フォトレジストを塗布、ベークした後、フォトマスクを介して露光、現像して、下部電極層のレジストパターンを形成し、Cr、Auを堆積層をウェットエッチングして、所望の形状の下部電極11を形成する(図2(a))。

【0007】次いで、下部電極と上部電極の層間絶縁層12となる厚さ1 μm 程度のシリコン酸化膜をRFスパッタリング法等で基板全面に堆積する(図2(b))。次にこのシリコン酸化膜にコンタクトホールを形成するために、フォトレジストパターンを作り、これをマスクとして層間絶縁層たるシリコン酸化膜をエッチングしてコンタクトホール15を形成する(図2(c))。エッチングは、リアクティブ・イオン・エッチング(RIE)等で行う。

【0008】その後、素子電極16、17と素子電極間隔部D1となるパターンをフォトレジストとフォトマスクを使用して形成し、真空蒸着法により薄膜のTi、Niを順次堆積する。レジストパターンを有機溶剤で溶解除去し、Ni/Ti堆積膜をリフトオフし、素子電極

16、17と素子電極間の間隔部D1を形成する(図2(d))。

【0009】素子電極16、17の上に上部電極のためのレジストパターンを形成した後、薄膜のTi/Auを真空蒸着等により順次堆積する。リフトオフにより不要部分を除去して、所望の形状の上部電極13を形成する(図2(e))。

【0010】次に、素子電極間隔部D1およびこの近傍に開口を有するマスクを用いて真空蒸着により、Cr膜19を堆積し、パターニングする。その上に表面伝導型電子放出素子の電子放出部形成用薄膜14aを塗布して、加熱焼成処理する(図2(f))。最後に、エッチング液を用いて焼成後の電子放出部形成用薄膜およびCr膜を所望のパターンに形成し電子放出膜14が形成される(図2(g))。

【0011】以上のように、このような電子放出素子用基板は、真空蒸着やスパッタリングのような薄膜形成技術やフォトリソグラフィ技術を駆使して製造されるが、工程が複雑となり、実用サイズの基板を安定的に製造するには種々の問題がある。そこで、本発明では、表面伝導型電子放出素子基板の製造において、層間絶縁層および素子電極層のパターニングをサンドブラスト法により行うことにより工程を安定化することを着想するに至ったものである。

【0012】

【課題を解決するための手段】

(1) 本発明の電子放出素子用基板の製造方法の第1の態様は、表面伝導型電子放出素子基板の下部電極と上部電極との層間絶縁層を形成する際に、下部電極が形成された基板上に絶縁層形成材料を所定膜厚に塗布した後、所望パターンに対応したサンドブラスト用切削マスクを介して当該絶縁層形成材料のサンドブラスト処理を行うことを特徴とする電子放出素子用基板の製造方法、にある。この製造方法によれば、精度の高い層間絶縁層を容易に製造できる。

【0013】(2) 本発明の電子放出素子用基板の製造方法の第2の態様は、表面伝導型電子放出素子基板の素子電極を形成する際に、層間絶縁層上に電極形成材料を所定膜厚に塗布した後、所望パターンに対応したサンドブラスト用切削マスクを介して当該電極形成材料のサンドブラスト処理を行うことを特徴とする電子放出素子用基板の製造方法、にある。この製造方法によれば、精度の高い素子電極を容易に製造できる。

【0014】(3) 本発明の電子放出素子用基板の製造方法の第2の態様は、第1、第2の態様の電子放出素子用基板の製造方法において、サンドブラスト用切削マスクがドライフィルムレジストにより形成されたものであることを特徴とする。この方法によれば、切削マスクを容易に形成できる。

【0015】

【発明の実施の形態】図1は、本発明による電子放出素子用基板の製造工程を示す図である。以下、本発明の製造方法を、図1に基づいて説明する。本発明の電子放出素子用基板の製造工程は次の工程からなる。

①基板上への下部電極形成、②絶縁層用のペースト層形成とサンドブラスト用マスクパターニング、③サンドブラストによる絶縁層のパターニング、④焼成による絶縁層の形成、⑤絶縁層上に上部電極のペースト層形成とサンドブラスト用マスクパターニング、⑥サンドブラストによる上部電極のパターニング、⑦焼成による上部電極の形成、⑧素子電極上への電子放出物質膜の形成。以下、上記工程順に説明することとする。

【0016】①基板上への下部電極形成

まず、ガラス基板10の上に金属材料からなる下部電極形成材料を塗布した上で、レジスト材料、フォトマスクを使用して所定のパターンにパターニングして下部電極11を形成する(図1(a))。

【0017】②絶縁層用のペースト層形成とサンドブラスト用マスクパターニング

次に、当該、下部電極11およびガラス基板上に絶縁層形成のためのガラスペースト12aを所定の厚みに塗布する。ペーストのコーティングには、スクリーン印刷法、スピンコート法、融着法、ロールコート法、リバースコート法、スプレー法、ディッピング法等が採用できる。ガラスペーストを乾燥後、ペースト上にサンドブラストに耐えるレジスト膜を塗布またはラミネートしパターン露光して形成する(図1(b))。サンドブラスト用のレジストは、本発明の実施例ではドライフィルムレジストをラミネートして使用しているが、液状のレジスト材料を塗布して使用することも可能である。

【0018】③サンドブラストによる絶縁層のパターニング

サンドブラストには、レジスト膜を切削マスク18としてアルミナ粉体等の研磨剤を絶縁層に吹きつけて切削し、コンタクトホール15等のパターニングを行う(図1(c))。

【0019】④焼成による絶縁層の形成

ペースト層を500°C以上の空气中雰囲気中で加熱し焼成する。

【0020】⑤上部電極のペースト層形成とサンドブラスト用マスクパターニング

本発明では、上部電極層を金属微粒子を含むペーストで形成、乾燥した後、上記②と同様にサンドブラスト用切削マスクを使用してパターニングを行う。

【0021】サンドブラストによる上部電極のパターニング

上記、③と同様に上部電極層をサンドブラストによりパターニングする(図1(d))。パターニング後、サンドブラスト切削マスクを除去する。切削マスクの除去は

50 焼成工程と同時に進めてもよい。

【0022】②焼成による上部電極の形成

上記、④と同様、電極ペースト層を 500°C 以上の空气中雰囲気中で加熱し焼成する(図1(e))。

【0023】⑤素子電極上への電子放出物質膜の形成
素子電極16、17上に通電により電子放出機能を有する電子放出物質を塗布形成する(図1(f))。

【0024】

【実施例】

① 厚さ3mmの清浄化した青板ガラス基板10上に厚さ $0.5\mu\text{m}$ のシリコン酸化膜(不図示)をスパッタリング法により形成する。次に、基板上に真空蒸着法により、厚さ 100\AA のCr層、厚さ 5000\AA のAu層を順次積層した後、フォトレジスト(ヘキストジャパン株式会社製「AZ1370」)をスピンコーティングし、所定のフォトマスクを使用してレジストパターンを形成する。エッチング液を使用して、当該Au、Cr堆積層をウェットエッチングして、所望の形状の下部電極11を形成した(図1(a))。

【0025】② 次に、下部電極11の上に平板ブレードコーターにて厚さ $2.3\mu\text{m}$ のガラスペースト層12aを均一に塗布した。塗布後に、オーブンにて、 150°C で、20分間乾燥させた。次に、厚さ $50\mu\text{m}$ のドライフィルムレジスト(日本合成化学工業株式会社製「日合アルフォNEF150」)を加熱ラミネート法で積層した後、超高圧水銀灯を光源とする平行光プリンターを用いて所望のパターンをもつフォトマスクを使用し露光した。露光条件は、波長 365nm にて強度 $3200\mu\text{W}/\text{cm}^2$ 、照射量 $120\text{mJ}/\text{cm}^2$ である。その後、1%炭酸ナトリウム水溶液を用い、室温にてスプレー現像を行った。以上の方法で所望のパターンをもつサンドブラスト用切削マスク層18が得られた(図1(b))。

【0026】③ 次に、研磨剤として褐色溶融アルミナ#400を用い、噴出圧力 $3\text{Kg}/\text{cm}^2$ でサンドブラスト処理を行い所望の位置にコンタクトホール15を形成した。この場合、下に存在する電極層11は焼成前の誘電体層に比べて十分に固いため、サンドブラストによるダメージを殆ど受けることはなかった。

【0027】④ 続いて、ピーク温度 585°C 、保持時間10~20分の条件で焼成を行い、焼成後の膜厚 $1.3\mu\text{m}$ の絶縁層12を形成した(図1(c))。

⑤ 絶縁層上の素子電極形成部に、厚さ $1.1\mu\text{m}$ のAgペースト16を平板ブレードコーターにて均一に塗布した。次に、厚さ $50\mu\text{m}$ のドライフィルムレジスト(日本合成化学工業株式会社製「日合アルフォNEF150」)を加熱ラミネート法で積層し、超高圧水銀灯を光源とする平行光プリンターを用いて所望のパターンをもつフォトマスクで露光した。露光条件は、波長 365nm にて、強度 $3200\mu\text{W}/\text{cm}^2$ 、照射量 $120\text{mJ}/\text{cm}^2$ とした。その後、1%炭酸ナトリウム水溶液

を用い、室温にてスプレー現像を行った。以上の方法で所望のパターンを持つサンドブラスト用切削マスク層が得られた。

【0028】 次に、研磨剤として褐色溶融アルミナ#400を用い、噴出圧力 $3\text{Kg}/\text{cm}^2$ でサンドブラスト処理を行い所望の位置に素子電極16、17を形成した。この場合、下に存在する絶縁層12は焼成されて十分に固いため、サンドブラストによるダメージを殆ど受けることはなかった。続いて、ピーク温度 500°C 、保持時間30分の条件で焼成を行い、膜厚 $0.8\mu\text{m}$ の素子電極16、17が形成された(図1(d))。

【0029】⑦ 次に、スクリーン印刷法によりAuペースト層13aを所定のパターンで印刷し、印刷後に、オーブンにて、 120°C で30分間乾燥させた。続いて、ピーク温度 520°C 、保持時間40分間の条件で焼成を行い、Auからなる上部電極13を形成した(図1(e))。

【0030】⑧ 最後に、有機パラジウム化合物を含む有機溶媒(奥野製薬工業株式会社製「キャタペーストCCP」)をスクリーン印刷法で素子電極上に印刷し、15分間放置し、素子電極間に薄膜を形成した。その後、約 200°C で20分間焼成し、Pdの微粒子層からなる電子放出膜14を得た(図1(f))。以上の方法で電子放出素子20を作製し、対向基板と組み合わせて試験を行ったところ良好な電子放出特性が得られた。

【0031】本発明の方法は全ての工程をサンドブラスト法で行う必要はなく、一部の工程を、蒸着法+リソグラフィ法、印刷法+焼成、感光性ペースト+リソグラフィ法+焼成等で行い、これらとサンドブラスト法とを組み合わせる行うことが可能である。

【0032】

【発明の効果】本発明の電子放出素子基板の製造方法によれば、従来のフォトリソグラフィ技術の一部をサンドブラスト技術に置き換えたので、工程の簡略化(特に真空工程を無くす)がなされとともに工程の安定化を図ることができ、精度の高い電子放出素子基板を容易に製造することができる。

【図面の簡単な説明】

【図1】 本発明による電子放出素子用基板の製造工程を示す図である。

【図2】 従来の表面伝導型電子放出素子基板の製造工程を示す図である。

【図3】 電子放出素子を用いたマトリックス基板の部分を示す図である。

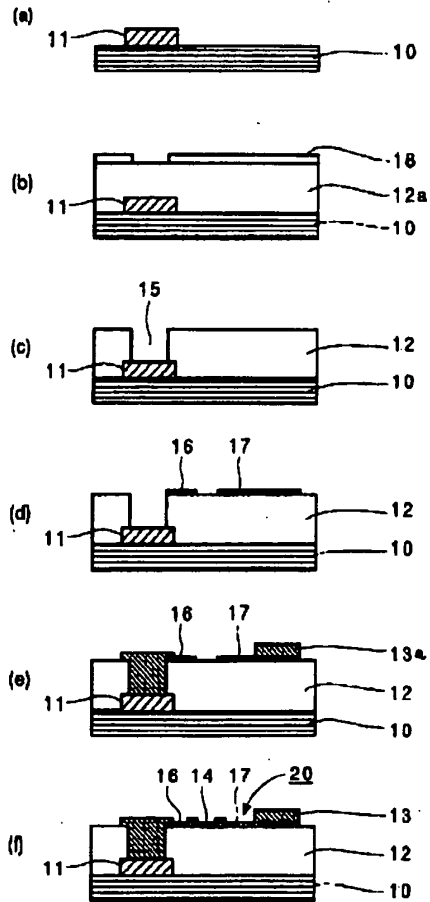
【符号の説明】

10、100	基板
11、110	下部電極
12、120	絶縁層
12a	ガラスペースト層
13、130	上部電極

7

- 13a Auペースト層
 14, 140 電子放出膜
 14a 電子放出膜形成用薄膜
 15, 150 コンタクトホール
 16, 17, 160, 170 素子電極

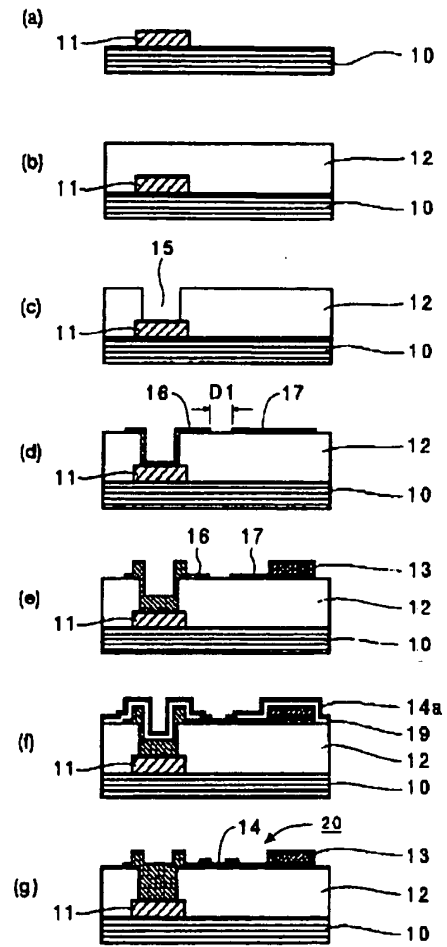
【図1】



8

- 18 サンドブラスト用切削マスク層
 19 Cr膜
 20 電子放出素子
 200 電子放出素子基板
 D1 素子電極間隔部

【図2】



【図3】

